

PATENT OFFICE  
JAPANESE GOVERNMENT



This is to certify that the annexed is a true copy  
of the following application as filed with this office.

Date of Application: September 17, 1998

Application Number: Japanese Patent Application  
No. 10-263661

Applicant(s): RICOH COMPANY, LTD.

June 21, 1999

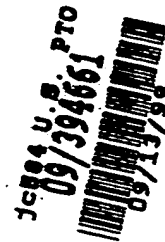
Commissioner,  
Patent Office

Takeshi Isayama (Seal)

Certificate No.11-3043611

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

1998年 9月17日

出 願 番 号  
Application Number:

平成10年特許願第263661号

出 願 人  
Applicant (s):

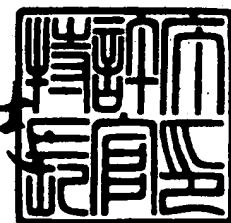
株式会社リコー

CERTIFIED COPY  
PRIORITY DOCUMENT

1999年 6月21日

特 許 庁 長 官  
Commissioner,  
Patent Office

山 佐 建 志



出証番号 出証特平11-3043611

【書類名】 特許願

【整理番号】 9802487

【提出日】 平成10年 9月17日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/00

【発明の名称】 サブコードデータ生成回路

【請求項の数】 5

【発明者】

    【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

    【氏名】 辻 政明

【特許出願人】

    【識別番号】 000006747

    【氏名又は名称】 株式会社リコー

    【代表者】 桜井 正光

【代理人】

    【識別番号】 100085213

    【弁理士】

    【氏名又は名称】 鳥居 洋

【手数料の表示】

    【予納台帳番号】 007320

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9808857

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 サブコードデータ生成回路

【特許請求の範囲】

【請求項 1】 時間情報を示している場合と時間情報以外の情報を示している場合とがあるサブコード構成データを含んで成るサブコードデータを生成するサブコードデータ生成回路において、前記時間情報を示している場合のサブコード構成データの自動生成用の第 1 の生成部と、前記時間情報以外の情報を示している場合のサブコード構成データの自動生成用の第 2 の生成部と、前記第 1 の生成部および第 2 の生成部の出力を選択する選択手段とを備えたことを特徴とするサブコードデータ生成回路。

【請求項 2】 前記第 2 の生成部を 2 以上個別に備えていることを特徴とする請求項 1 に記載のサブコードデータ生成回路。

【請求項 3】 時間情報を示している場合と時間情報以外の情報を示している場合とがあるサブコード構成データを含んで成るサブコードデータを生成するサブコードデータ生成回路において、前記時間情報を示している場合のサブコード構成データの自動生成用の第 1 の生成部と、前記時間情報以外の情報を示している場合のサブコード構成データの自動生成用の第 2 の生成部と、前記第 1 の生成部および第 2 の生成部の出力を選択する選択手段と、前記サブコード構成データの自動生成用のコマンドが記述されるメモリとを備え、前記メモリの第 1 の領域には前記時間情報を示している場合のサブコード構成データの自動生成用のコマンドが集合的に記述され、前記メモリの第 2 の領域には前記時間情報以外の情報を示している場合のサブコード構成データの自動生成用のコマンドが集合的に記述されていることを特徴とするサブコードデータ生成回路。

【請求項 4】 前記第 2 の生成部を 2 以上個別に備えるとともに、前記メモリの第 2 の領域を前記 2 個以上の第 2 生成部に対応させて複数備え、各第 2 の領域にその記述されるべきコマンドが集合的に記述されていることを特徴とする請求項 3 に記載のサブコードデータ生成回路。

【請求項 5】 所定周期で High 状態と Low 状態を交互に繰り返すサブコード構成データを含んで成るサブコードデータを生成するサブコードデータ生

成回路において、前記サブコード構成データの元データを基礎としてセクター数に基づき所定周期でHigh状態とLow状態を交互に繰り返すサブコード構成データを生成する自動生成手段と、独自に所定周期でHigh状態とLow状態を交互に繰り返すトグル生成手段と、前記自動生成手段の出力と前記トグル生成手段の出力とを選択する選択手段とを備えたことを特徴とするサブコードデータ生成回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、CD-ROM、CD-R、CD-DA、及びCD-RW等の記録媒体に対応したプレーヤ等に設けられ、前記記録媒体から読み出されたデータ或いは記録媒体に書き込むデータを処理するデータ処理回路に関する。

【0002】

【従来の技術】

CD-ROM等の記録媒体には、データは所定のフォーマットでセクター毎に記録されている。上記フォーマットは、CD-ROMの場合、ヘッダーデータ、ユーザーデータ、同期データ、他の諸データ、及びサブコードデータを当該順序で保有する形態を持つ。上記のサブコードデータとユーザーデータは相互の時間関係を保持しておく必要があるが、リニアなバッファ領域にこれらユーザーデータとサブコードデータを管理する場合、管理用テーブル情報を別途用意することが行われていた（特開平2-310658号公報参照）。

【0003】

しかしながら、上記管理用テーブル情報を別途用意し、システム制御部が上記テーブル情報を見て必要な制御を行うのでは、当該システム制御の負担が増大し、8倍速、或いは10倍速といった高速処理に対処することが困難となる。

【0004】

そこで、本願出願人は、上記の事情に鑑み、先に、ページ単位でデータの時間関係を保持することによって管理テーブルを不要にし、システム制御部の負担を軽減すること、及びこのようにページ単位で処理する場合のメモリ使用効率の悪

さをページ領域とバッファ領域に分けることで解消することを目的としたデータ処理回路を提案した。

## 【0005】

このデータ処理回路を、図6乃至図15に基づいて説明する。

## 【0006】

図6は、データ処理回路100と、その周辺回路を示したブロック図である。データ処理回路100は、システムコントローラ (System Controller) 17、ATアタッチメント (ATA) 18、及びデジタルシグナルプロセッサ (DSP) 19に接続されており、これらとバッファメモリであるDRAM2との間で信号の書込や読出の処理を行うようになっている。そして、かかるデータ処理回路100は、各種のマスター (主処理回路であり、その具体的名称や機能については後述する) 3乃至7、バッファマネージャ (Buffer Manager) 16、及びDRAMコントローラ1を備えて構成されている。

## 【0007】

前記システムコントローラ17は、データ処理回路100を制御するものであり、マスターであるシステムコントローラインターフェース (System Controller if) 3との間でデータの送受を行う。ATアタッチメントは、ホストバスをなすものであり、マスターであるホストインターフェース (Host if) 4との間でデータの送受を行う。デジタルシグナルプロセッサ (DSP) 19は、図示しないEFM (Eight-Fourteen Modulation) 処理部から送られてくるデータをCD-DAデータとサブコードデータに分割し、CD-DAデータをマスターであるCD-DAインターフェース6へ、サブコードデータをマスターであるサブコードインターフェース (Subcode if) 7へ、それぞれシリアルデータで与える (デコード時) 一方、CD-DAインターフェース6から与えられるCD-DAデータとサブコードインターフェース7から与えられるサブコードデータを組み合わせて前記EFM処理部に送り出すようになっている。なお、DSPによって、メインデータ、サブコードデータを平行にバスで出力するものもある。

## 【0008】

前記DRAM2は、データ処理回路100の処理により、図7に示しているよ

うに、ページングエリア (Paging area) とバッファリングエリア (Buffering area) とに分割されて用いられる。ページングエリアには、ページ 0 ～ ページ  $n$  (大きさ一定) が割り当てられており、ページ  $n+1$  (大きさ非一定) 以降がバッファリングエリアとされている。各ページには、CD-ROM や CD-DA などの記録媒体における 1 セクター分の各種のデータを格納し得る。なお、図 7 の詳細は後述する。

#### 【0009】

マスターであるシステムコントローラインターフェース 3 は、システムコントローラ 17 から転送されるデータを、システムバッファページ (SysBufPage) 8 に格納されている数値で示される 1 ページの領域に転送する等の処理を行う。

#### 【0010】

マスターであるセクタープロセッサ (Sector Processor) 5 は、例えば CD-ROM 用データの EDC (誤り訂正) / ECC (誤り検出) 処理を行う処理ブロックであり、セクタープロセッサバッファページ (SPBufPage) 11 に格納されている数値で示される 1 ページの領域に格納されているデータに対して処理を行うように構成されている。

#### 【0011】

マスターである CD-DA インターフェース (CD-DA if) 6 は、デジタルシグナルプロセッサ 19 から送られてくるシリアルデータを、CD バッファページ (CD BufPage) 12 に格納されている数値で示される 1 ページに格納する等の処理を行う。なお、格納に際しては、CD-ROM データの場合であれば、1 ブロックのシンクパターンを検出し、1 ブロックが 1 ページに対応するように制御する。

#### 【0012】

マスターであるサブコードインターフェース (Subcode if) 7 は、デジタルシグナルプロセッサ 19 から入力されるサブコード用シリアルデータを、サブコードバッファページ (Sub BufPage) 13 に格納されている数値で示される 1 ページに格納する等の処理を行う。なお、DSP によって、シリアルでない場合がある。また、格納に際しては、1 フレーム毎にサブコードデータのシンクパターンを検出し、1 フレームが 1 ページに対応するように制御する。

## 【0013】

マスターであるホストインターフェース (Host if) 4 は、前記 AT アタッチメント 18 や SCSI などのホストバスから転送されるデータを 1 セクター毎に、ホストバッファページ (HostBufPage0) 9 a に格納されている数値で示される 1 ページに転送する等の処理を行う。なお、ホストは後述するバッファリングエリア (Buffering area) にアクセスできる。そのページを示すものとしてホストバッファページ (HostBufPage1) 9 b を備える。

## 【0014】

バッファマネージャ (Buffer Manager) 16 は、マスター 3 乃至 7 にそれぞれ接続されたページコントローラ (Page control) 14、各種のページレジスター (具体的名称については後述する) 8、9 a, 9 b、11 乃至 13、マスター 3 乃至 7 およびその各々に対応するページレジスターに接続されたアドレスジェネレータ (Address generate) 15、及びリングエンドページ (図 7 の例では n) を格納しているリングエンドページ (RingEndPage) 格納部 10 により構成されており、マスター 3 乃至 7 からのアクセスの調停や DRAM コントローラ 1 に対するアドレス (Current address) の生成を行う。具体的には、各マスターはリクエスト (req) を表明することでバッファマネージャ 16 にアクセス要求をする。各マスターからの要求が重なった場合には、優先権制御により調停し、一つのマスターに対して容認信号 (ack) を返すことでこれとの間でデータアクセスを行うようになっている。また、各マスターは、加算 (inc) を表明することにより、ページレジスターの更新要求を知らせることができる。この更新要求を受けた各ページコントローラ 14 は、リングエンドページ格納部 10 に格納されているリングエンドページを参照して各々の対応するページレジスターの更新を行う。

## 【0015】

DRAM コントローラ 1 は、前記マスター 3 乃至 7 とデータラインで接続されているとともに、バッファマネージャ 16 からのリクエストに対し、DRAM 2 を制御するための各種の信号やアドレスの生成を行い、要求のあったマスターとの間でデータのやり取りを行うようになっている。なお、システムコントローラ



インターフェース3との間では8ビットのデータ転送を行い、他のマスター4乃至7との間では16ビットのデータ転送を行う。

#### 【0016】

図7は、バッファデータを各マスターがアクセスする様子を示した説明図である。各マスターは、現在処理するデータをページ単位で管理する。DRAM2のバッファRAM構成は、前述したごとく、ページ0乃至ページn（nはリングエンドページの値）で示される領域がページングエリア（Paging area）とされ、ページn+1乃至最終（実装メモリー最終）ページで示される領域がバッファリングエリア（Buffering area）とされる。各マスターがページングエリアのみアクセスできるのか、それともページングエリアとバッファリングエリアの両方をアクセスできるのか、更に両方アクセスできる場合でもデコード時とエンコード時とで違いがあるのかといった点については、後述の表1に示す。ここで、リングページのみアクセスできるマスターは、ページnまでの処理が終了すると、次にページ0を処理する。そのための処理は、当該マスターに対応するページレジスターが行う。一方、バッファリングエリアをアクセスできるマスターは、ページn+1を処理することができる。なお、図7ではデコード時の状態が示されており、CD-DA インターフェース6およびサブコードインターフェース7は記録媒体から読み出されたデータをページ0, 1, 2…と順に書き込み（図ではページ2に書き込み中）、セクタープロセッサ5は、既に書き込まれたデータであるページ0, 1…と順にアクセスしてデータを読み出してエラー訂正して当該ページに戻し（図ではページ1に対して処理中）、ATアタッチメント18はホストインターフェース4を介してページ0にアクセスして訂正済のデータを受け取っている状態を示している。

#### 【0017】

図8（a）はDRAM2におけるバッファRAM構成を示し、同図（b）はCD-ROMの場合のページ内のデータフォーマットを示し、同図（c）はCD-DAの場合のページ内のデータフォーマットを示した説明図である。各ページには3072バイト量が割当てられており、ユーザーデータやサブコードデータが格納される。各ページに占めるデータ量は当該ページの大きさよりも小さく、図

では未使用領域として288バイトが生じている。サブコードデータは96バイトを使用し、P, Q, R, S, T, U, V, Wといった記号で表されるデータから成るものであるが、その詳細は後で説明することとする。

【0018】

下記の表1は、各マスターのオフセットやアクセス領域等を明らかにした表である。

【0019】

【表1】

Master	offset	PageRegister	Access area	
			Pagingarea	Bufferingarea
CD-DA if	0x000-0xA56	CDBufPage	○	×
Sector Pro	0x000-0xA56	SPBufPage	○	×
Subcode if	0xA70-0xADF	SubBufPage	○	×Dec , ○Enc
Host if	0x000-0xFFFF	HostBufPage0,1	○	○
Sys Con if	0x000-0xFFFF	SysBufPage	○	○

【0020】

図9は、ページコントローラ14におけるページレジスタ更新制御内容を示したフローチャートであり、マスターがCD-DA インターフェース6である場合を示している。初期設定（ステップ1）の後、マスターからのページレジスタ更新信号（Inc）の有無を判断し（ステップ2）、更新信号有りとは判断されると、現状のCDバッファページ（CD BufPage）がリングエンドページ（RingEnd Page

）よりも小さいか否かを判断する（ステップ3）。小さければ、1をインクリメントしステップ2に進む。一方、小さくなければ、CDバッファページ（CD BufPage）を0（即ち、0x000）に更新するとともに、CDバッファフラグ（CD BufFlg）をトグル（0→1， 1→0）する。

#### 【0021】

図10は、マスターとしてシステムコントローラインターフェース（System Controller if）3を例に、これに対応するシステムバッファページ（SysBufPage）8およびアドレスジェネレータ15と、DRAMコントローラ1との接続関係を示したブロック図である。図のA[11:0]はシステムコントローラインターフェース3からバッファマネージャ16に与えられるアドレス情報（ページ内の具体的アドレスを示す情報）であり、D[7:0]はシステムコントローラインターフェース3からデータラインを通じてDRAMコントローラ1に与えられるデータである。システムバッファページ（SysBufPage）8の上位13ビットのアドレス情報（ページを特定するアドレス）と前記A[11:0]の12ビットのアドレスとを図のごとく加算してDRAM2をアクセスするための24ビットのアドレスを生成する。また、システムコントローラインターフェース3のリクエスト制御部3aは、アクセス信号（CS1B, REB, WEB）に基づいてリクエスト（Req）信号を生成しDRAMコントローラ1にアクセスする。他のマスターについても同様に構成される。

#### 【0022】

図11は、図6のデータ処理回路にてデコード処理を実行した場合の信号フローを示した説明図である。このデコード処理では、記録媒体から読み出されたデータがDSP19を経てCD-DA インプットおよびサブコードインプットとしてデータ処理回路100に与えられ、このデータ処理回路100およびDRAM2を経由してATアタッチメント18に与えられる。前記データ（約3Kバイト量）は、ブロック同期信号（BSYNC）に同期して、CDバッファページ（CDBufPage）で示されるページおよびサブコードバッファページ（SubBufPage）で示されるページに格納されていく（同図（a）（b）（c）（d）（e）参照）。セクタープロセッサバッファページ（SPBufPage）は、セクタープロセッサ（Sector

Processor) が既書き込まれたデータを用いて誤り検出処理等を行うため、CDバッファページ (CDBufPage) で示されるページよりも前のページに対応する値を保有する (同図 (f) (g) 参照)。なお、追いつくことが避けられればよいので、どれくらい前であるかは問わない。

#### 【0023】

そして、システムコントローラインターフェース (System Controller if) は、上記セクタープロセッサ (Sector Processor) による処理済のデータのうちの必要な部分 (例えば、約 2 K バイト量) をバッファリングエリア (Buffering area) に格納する。そのため、まずセクタープロセッサバッファページ (SP BufPage) で示されるページよりも前のページに対応する値にて読出動作を行い、バッファリングエリア (Buffering area) の  $n+1$  ページに前記処理済データのうちの必要な部分の書込動作を行う (同図 (h) (i) 参照)。ホストインターフェース (Host if) は、バッファリングエリア (Buffering area) に格納された訂正済データを取り出して AT アタッチメント 18 に与えるべく、ホスト用のページコントロール部 14 の内部に有する転送カウンタ (転送数がセットされる) と HostBufPage1 (デコード時はバッファリングエリア用のページ指定バッファとして機能する) より指定される転送開始アドレスにて、上記バッファリングエリアの前記  $n+1$  ページから処理済のデータを読み出す (同図 (j) (k) 参照)。なお、各マスターは、当該ページに対する処理を終了すると、加算 (inc) 信号を出力して各ページコントローラ 14 に対してページの更新処理をさせることになる。

#### 【0024】

図 12 は、図 6 のデータ処理回路にてエンコード処理を実行した場合の信号フローを示した説明図である。このエンコード処理では、AT アタッチメント 18 から与えられたデータがデータ処理回路および DRAM 2 を経由して DSP 19 (EFM エンコーダ) に与えられる。ホストインターフェース (Host if) 4 は、データをホストバッファページ (HostBufPage0) で示されるページに転送する (同図 (a) (b) 参照)。なお、他のマスターは CD エンコーダから出力される 1 セクター処理単位である ESFS (Encode Subcode Frame Sync) ごとにペ

ージ単位の処理を完了するように制御される（同図（e）参照）。セクタープロセッサ（Sector Processor）5は、ホストインターフェース4が既に関き込んだデータを用いてパリティ付加処理を行うため、セクタープロセッサバッファページ（SPBufPage）は、ホストバッファページ（HostBufPage0）で示されるページよりも前のページに対応する値を保有する（同図（c）（d）参照）。

## 【0025】

そして、CD-DA インターフェース6は、上記セクタープロセッサ（Sector Processor）による処理済のデータをDSP19（EFMエンコーダ）に与えるべく、セクタープロセッサバッファページ（SPBufPage）で示されるページよりも前のページに対応するCDバッファページ（CDBufPage）の値にて読出動作を行う（同図（f）（g）参照）。なお、同図（g）のTrn 0, Trn 1…は、それぞれCD-ROMセクターに対応するデータである。サブコードインターフェース（Subcode if）7も同様、上記セクタープロセッサ（Sector Processor）による処理済のデータをDSP19（EFMエンコーダ）に与えるべく、セクタープロセッサバッファページ（SPBufPage）で示されるページよりも前のページに対応するサブコードバッファページ（SubBufPage）の値にて読出動作を行う（同図（h）（i）参照）。なお、同図（i）のTrn 0, Trn 1…は、それぞれサブコードフレーム96バイトに対応するデータである。

## 【0026】

EFMエンコーダでは、前記CDデータとサブコードデータを合わせてEFM変調し、シリアルデータに変換し、記録媒体への書込データとして図示しないレーザーピックアップへ出力する。

## 【0027】

このように、バッファRAM構成をページングエリア（Paging area）とバッファリングエリア（Buffering area）とに分け、デコード時においてバッファリングエリアにはATアタッチメントが必要とするデータ（元のページに格納されていた量よりも少なくなっている（略3Kバイト→略2Kバイト））を格納するようにしたので、メモリの利用効率を格段に向上させることができる。

## 【0028】

ここで、エンコード時においては、ATアタッチメント18から与えられたデータがDRAM2のバッファRAM内の所定のページに格納されて各マスターがページにアクセスして順次処理し、最終的にEFMエンコーダに与えるべきデータがシリアル出力されていくことになるが、このときには本来なら、各ページにはメインデータであるユーザーデータとともにサブコードデータの全てが格納される。サブコードデータは、P、Q、R、S、T、U、V、Wといった記号で表されるデータから成るものであり、特にサブコードQデータは、時間にかかわる情報であり、自動生成が可能であるが、このサブコードQデータをページングエリア（Paging area）のページにおいて生成するには、当該ページに頻繁にアクセスしなければならない、マスター間のアクセス調停の頻度が高くなって処理速度が低下する。更に、当該サブコードQデータをページに格納する回路を必要とする構成では、回路が複雑化する。また、サブコードPデータとは、例えば曲間に関する情報であって1セクター内のサブコード（96バイト）中で1又は0のいずれかとされるものであり、自動生成が可能であるが、このように96バイトに同一データを格納するために頻繁にアクセスしなければならない、マスター間のアクセス調停の頻度が高くなって処理速度が低下する。更に、当該サブコードPデータをページに格納する回路を必要とする構成では、回路が複雑化する。

#### 【0029】

そこで、エンコード時においても前記バッファリングエリアを活用する手法について説明していく。図13はサブコードデータのサブコードQデータとサブコードPデータの元データをバッファリングエリア上で生成し（これを自動生成用データといい、図10では符号30を付記している）、エンコード時にこの自動生成用データ30を他のサブコード部分と合わせて出力するようにした構成を示した説明図である。自動生成用データ30としては、各グループ（TNOやINDEX等）の意味付け等を担うCont/Adr、例えば1曲目は第何トラックナンバーからといった情報を担うTNO、所定の情報を担うINDEX、相対時間（RMIN, RSEC, RFRAME）、ZERO、絶対時間（AMIN, ASEC, AFRAME）、MODE、Repeat、POINT、及びPMSEから成る。1秒は75フレーム（セクター）とされており、絶対時間はスタート

の時間さえ決めれば後は自動生成でき、相対時間も初期値さえ決めれば後は自動生成することができる。

#### 【0030】

この自動生成の詳細を図13乃至図15を用いて説明する。なお、図14(a)はバッファRAM構成を示し、同図(b)は1ページの構成を示し、同図(c)はサブコード用のバッファリングデータエリア構成(自動生成用データ30を得るためのコマンドが記述される)を示し、同図(d)は自動生成用データ30を示し、同図(e)はページ内のサブコードデータを示している。図15(a)は、図14(e)と同様、ページ内のサブコードデータを示し、図15(b)は図14(d)と同様、自動生成用データを示し、図15(c)は自動生成用データ30を他のサブコード部分(P, R~W又はR~W)に組み込んでなるアウトプットデータ構成を示した図である。

#### 【0031】

(サブコードQデータの生成)

自動生成用データ30にて各フレーム毎のサブコードQデータを生成する。自動生成用データ30は、16バイト(Offset 0x00~0x0F)単位で構成される。なお、図13はエンコード時を示しているので、図13においては、CRCにかかわる0x0Aと0x0Bの領域を省略している。

#### 【0032】

RTIMカウンタ31、ZEROカウンタ32、及びATIMカウンタ33には、load=1(MODEに格納される8ビットデータ中の所定ビットが1)のとき、Offset 0x03~0x09(RMIN~AFRAME)のデータが初期値として格納される。一方、load=0(MODEに格納される8ビットデータ中の所定ビットが0)のとき、MODEに格納される8ビットデータの所定ビットが0か1か(又は1か0か)によってフレーム毎にインクリメント/デクリメントを行う。そして、フレーム毎にデクリメントされるRepeatにおいてRepeat=0となると、n(リングエンドページ)+1とPOINTで示されるバッファリングエリア(Buffering area)内の自動生成用データに対して処理を行う(図14参照)。

【0033】

セレクター34は、RTIMselect=1 (MODEに格納される8ビットデータ中の所定ビットが1) のときRTIMカウンタ31の値を選択し、これをエンコードサブQデータ37を構成するものとして出力する。

【0034】

セレクター35は、ZEROselect=1 (MODEに格納される8ビットデータ中の所定ビットが1) のときZEROカウンタ32の値を選択し、これをエンコードサブQデータ37を構成するものとして出力する。

【0035】

セレクター36は、ATIMselect=1 (MODEに格納される8ビットデータ中の所定ビットが1) のときATIMカウンタ33の値を選択し、これをエンコードサブQデータ37を構成するものとして出力する。

【0036】

そして、各フレーム毎にエンコードサブQデータ37はラッチされ、このラッチされたデータに対してCRC演算器39はCRC38を計算し付加する。

【0037】

(サブコードPデータの生成)

サブコードPデータは、各フレーム毎にバッファリングエリア (Buffering area) に格納される自動生成用データ30によって生成されるか、又はページングエリア (Paging area) に格納されるデータによって生成される。具体的には、サブコードPデータを出力するセレクター43は、use PMSB=1 (MODEに格納される8ビットデータ中の所定ビットが1) のとき、PMSB (7ビット) の値をエンコードサブPデータとして出力し、use PMSB=0 (MODEに格納される8ビットデータ中の所定ビットが0) のとき、ページングエリア45に格納されているPの値 (セレクター44にて選択される) をエンコードサブPデータとして出力する。

【0038】

他のサブコードデータ (R~W) は、EFMエンコーダ40からのリクエスト (ESUBREQB) ごとにカウントされるオフセットカウンタ41の値によ



り、96バイト中からセクター42, 44により選択される。選択された1バイトは、エンコードサブコードシリアルデータとしてEFMエンコーダ40に出力される。

#### 【0039】

以上説明したように、先に出願した内容においては、エンコード時においても前記バッファリングエリアを活用してサブコードPデータやサブコードQデータを自動生成し、かかる自動生成用データをEFMエンコーダへ出力するときに他のサブコードデータに付加するようにしたから、ページングエリアにサブコードPデータやサブコードQデータを格納する場合の処理速度の低下や回路構成の複雑化を回避できる。

#### 【0040】

##### 【発明が解決しようとする課題】

ところで、図13に示した自動生成用データ30におけるAdrには、幾つかの種類が設定されており、CDやCD-Rなどの規格の相違で各々の意味は多少異なるが、例えば、Adr0やAdr1は、時間データであることを意味し、Adr2はUPC/EAN-Code、Disk Identificationであり、Adr3はISRコード（カントリーコード、イヤークード、オーナーコード、RID Code、Skip Track）であり、また、Adr5はディスク特殊情報（Skip Time Internal）を示すコードである（いわゆるレッドブックやオレンジブック参照）。

#### 【0041】

そして、例えば100個の時間データ毎に1個のUPC/EAN-Code（Adr2）を挿入する場合を想定すると、図14（c）のpointに記述されるコマンドは、図5（a）又は図5（b）のごとく記述されることになる。図5（a）の第1行目のコマンドでは、AdrがAdr0, 1であり、“Repeat”に“100”が設定されているので、カウンタを用いた上述のサブコードQデータの自動生成処理が100回繰り返されることになる。そして、この100回の処理の後、POINTで示される番地（2）にジャンプする。このジャンプ先のコマンドはAdr2、即ちUPC/EAN-Codeの生成を示すもので

あり、このA d r 2のサブコードQデータの生成においては、前述の自動生成処理は行われなくなる。即ち、この100個の時間データ毎に1個のUPC/EAN-Codeを挿入する場合においては、サブコードQデータの自動生成処理は100回止まりとなり、A d r 2のサブコードQデータの生成の後、再びA d r 0, 1のサブコードQデータの生成において、初期値をカウンタに入力しなおし、その後に再び自動生成処理を行うことになる。

## 【0042】

つまり、このことは、仮に全体として300個の時間データの生成を行うことが予定される場合であっても、“Repeat”を300とするコマンドの記述ができないことを意味し、図5(a)に示したごとく、A d r 0, 1における“Repeat”を100としたコマンドとA d r 2のコマンドを交互に繰り返し記述していくことを強いることになり、コマンドの記述を煩雑にしてしまう。また、図5(b)のごとくA d rが共通するコマンドを纏めて記述の容易化を図ろうとした場合には、ジャンプ先の記述が複雑になってしまう。

## 【0043】

また、音楽データ等を扱う場合にサブコードPデータを2Hzでドグルさせる規格がある。1秒は75フレーム(セクター)とされているので、75/4セクターに1回、自動生成用データ30のSub Pのデータ設定、即ち、セクター数をカウントして所定数カウント時にメモリにアクセスすることが必要になる。別言すれば、サブコードPデータが2Hzでドグルするという条件がないとしたら前述のごとくサブコードQデータの自動生成処理を100回行うことができるにもかかわらず、サブコードPデータを2Hzでドグルするという設定の下では、サブコードQデータの自動生成処理は100回さえも行えないことになる。

## 【0044】

そして、上述したような不具合は、A d rがA d r 2である場合以外に、A d r 3やA d r 5が存在する場合にも生じることになる。

## 【0045】

この発明は、上記の事情、即ち時間情報(A d r 0, 1データ)の生成サイクルのなかで時間情報以外の情報(A d r 2, 3, 5データ)をその各々のタイミ

ングで生成（挿入）することにおいて、時間情報（A d r 0, 1 データ）の生成サイクルを途切れさせないようにしてメモリアクセスの一層の削減を図ることを目的とする。

【0046】

【課題を解決するための手段】

この発明のデータ処理回路は、上記の課題を解決するために、時間情報を示している場合と時間情報以外の情報を示している場合とがあるサブコード構成データを含んで成るサブコードデータを生成するサブコードデータ生成回路において、前記時間情報を示している場合のサブコード構成データの自動生成用の第1の生成部と、前記時間情報以外の情報を示している場合のサブコード構成データの自動生成用の第2の生成部と、前記第1の生成部および第2の生成部の出力を選択する選択手段とを備えたことを特徴とする。

【0047】

上記の構成であれば、第1の生成部と第2の生成部とは個別に動作するため、第1の生成部においては、時間情報以外の情報を示している場合のサブコード構成データの生成の有無に関わらずインクリメンタルにデータ生成を行うことができ、第2の生成部においては、第1の生成部におけるインクリメンタルなデータ生成に影響を与えずに個別にサブコード構成データを生成し、前記選択手段によって前記第2の生成部の出力が自動挿入されることになるから、メモリに対するアクセス頻度を格段に少なくすることができる。

【0048】

また、この発明のサブコードデータ生成回路は、時間情報を示している場合と時間情報以外の情報を示している場合とがあるサブコード構成データを含んで成るサブコードデータを生成するサブコードデータ生成回路において、前記時間情報を示している場合のサブコード構成データの自動生成用の第1の生成部と、前記時間情報以外の情報を示している場合のサブコード構成データの自動生成用の第2の生成部と、前記第1の生成部および第2の生成部の出力を選択する選択手段と、前記サブコード構成データの自動生成用のコマンドが記述されるメモリとを備え、前記メモリの第1の領域には前記時間情報を示している場合のサブコー

ド構成データの自動生成用のコマンドが集合的に記述され、前記メモリの第2の領域には前記時間情報以外の情報を示している場合のサブコード構成データの自動生成用のコマンドが集合的に記述されていることを特徴とする。

## 【0049】

一つの生成部で時間情報と時間情報以外の情報の両方を扱う場合には、先にも述べたごとく、時間情報以外の情報を扱うときに時間情報の生成サイクルが途切れてしまうことになり、また、図5に示したごとく、メモリへのコマンドの記述が複雑化し、メモリへの記述を含めてサブコードデータ生成回路とみるとときには、サブコードデータ生成回路の製造が複雑になるといえる。これに対し、上述したこの発明の構成であれば、集合的記述によってコマンドの記述は容易になっており、メモリへの記述を含めてサブコードデータ生成回路とみるとき、サブコードデータ生成回路の製造が容易になるといえる。

## 【0050】

また、この発明のサブコードデータ生成回路は、所定周期でHigh状態とLow状態を交互に繰り返すサブコード構成データを含んで成るサブコードデータを生成するサブコードデータ生成回路において、前記サブコード構成データの元データを基礎としてセクター数に基づき所定周期でHigh状態とLow状態を交互に繰り返すサブコード構成データを生成する自動生成手段と、独自に所定周期でHigh状態とLow状態を交互に繰り返すトグル生成手段と、前記自動生成手段の出力と前記トグル生成手段の出力とを選択する選択手段とを備えたことを特徴とする。

## 【0051】

上記の自動生成手段のみを備えた場合には、例えばエンコード時に音楽データ等のサブコードデータを2Hzでトグルさせることを要求されるときに、セクター数（75セクターで1秒）を管理してトグルの度にデータ設定するといった不具合（メモリアクセス頻度の上昇）を回避し得ないが、上記の独自に所定周期でHigh状態とLow状態を交互に繰り返すトグル生成手段を備えたことにより、かかる不具合を回避することができる。

## 【0052】

## 【発明の実施の形態】

この発明の実施の形態のサブコードデータ生成回路は、CD-RやCD-RW等のデータ処理回路において用いられる。データ処理回路の構成は、図6に示したデータ処理回路と共通しており、冗長を避けるべく説明を省略する。

## 【0053】

以下、この発明の実施の形態を図1乃至図4に基づいて説明する。図1は、この実施の形態のサブコードデータ生成回路の概略構成を示した回路図であり、図2は従来例の項目で挙げた図13に対応する図であり、図1のAdr0, 1サブコードQデータ生成部51および周辺回路を示した図である。また、図3は、この実施の形態のコマンド記述例を示した説明図である。コマンドは、従来例の項目で挙げた図14(c)のpointにおいて記述される。図4はAdr2の挿入タイミング例を示した説明図である。

## 【0054】

図1に示すように、サブコード構成データ生成回路群50は、Adr0, 1サブコードQデータ生成部51、Adr2サブコードQデータ生成部52、Adr3サブコードQデータ生成部53、Adr5サブコードQデータ生成部54、及びサブコードPトグル生成部55からなっている。これら生成部51, 52, 53, 54, 55は個別の回路構成を有し、個別に動作する。

## 【0055】

Adr0, 1サブコードQデータ生成部51は、時間情報を示している場合のサブコード構成データの自動生成部であり、図2の仮想線で囲まれた部分で示される回路構成を有している。図2に示す自動生成用データ60は、DRAM59におけるバッファリングエリア(Buffering area)に格納され、後述するAdr0, 1, 2, 3, 5のエンコードサブQデータの生成に利用される。なお、DRAM59の構成は、図7や図14に示した構成と同様である。

## 【0056】

RTIMカウンタ61、ZEROカウンタ62、及びATIMカウンタ63には、load=1(MODEに格納される8ビットデータ中の所定ビットが1)のとき、Offset 0x03~0x09(RMIN~AFRAME)

のデータが初期値として格納される。一方、load=0 (MODEに格納される8ビットデータ中の所定ビットが0) のとき、MODEに格納される8ビットデータの所定ビットが0か1か (又は1か0か) によってフレーム毎にインクリメント/デクリメントを行う。

## 【0057】

セレクター64は、RTIMselect=1 (MODEに格納される8ビットデータ中の所定ビットが1) のときRTIMカウンタ61の値を選択し、これをエンコードサブQデータ67を構成するものとして出力する。

## 【0058】

セレクター65は、ZEROselect=1 (MODEに格納される8ビットデータ中の所定ビットが1) のときZEROカウンタ62の値を選択し、これをエンコードサブQデータ67を構成するものとして出力する。

## 【0059】

セレクター66は、ATIMselect=1 (MODEに格納される8ビットデータ中の所定ビットが1) のときATIMカウンタ63の値を選択し、これをエンコードサブQデータ67を構成するものとして出力する。

## 【0060】

Adr2サブコードQデータ生成部52は、時間情報以外の情報を示している場合のサブコード構成データの自動生成部であり、AdrがAdr2であるとき (UPC/EAN-Codeが書き込まれたとき) の自動生成用データ60からエンコードサブQデータ67を生成する。また、生成開始セクタおよび生成サイクル (図4 (b) 参照) の設定によりAdr2のエンコードサブQデータ67の挿入タイミングを生成してこれをセレクター78に与える。従って、その回路構成は図2の仮想線で囲まれた部分において、カウンタ61、63やセレクタ64、66を持たない一方、エンコードサブQデータ67の挿入タイミングを生成する回路を持つことになる。このタイミング生成回路は、例えば、Adr0、1のデータ生成個数を示すカウンタ値が予め設定された生成開始セクタの数値になったか否かの判断手段 (比較回路)、及びこの生成開始セクタの数値になってから更に上記カウンタ値が生成サイクル数となったか否かを判断する判断手段 (比

較回路)等から成る。また、この実施の形態ではコマンドの記述が図3に示すごとくとなっているので、A d r 2サブコードQデータ生成部52が備えるアドレス生成回路の初期値は“10”となる。生成開始セクタおよび生成サイクルを示す情報は、A d r 2の記述においてユーザーにより設定することができる。

#### 【0061】

A d r 3サブコードQデータ生成部53は、時間情報以外の情報を示している場合のサブコード構成データの自動生成部であり、A d rがA d r 3であるときの自動生成用データ60からサブコードQデータ67を生成する。また、生成開始セクタおよび生成サイクルの設定によりA d r 3のエンコードサブQデータ67の挿入タイミングを生成してこれをセレクター78に与える。従って、その回路構成は図2の仮想線で囲まれた部分において、カウンタ61, 63やセレクタ64, 66を持たない一方、エンコードサブQデータ67の挿入タイミングを生成する回路を持つことになる。このタイミング生成回路は、例えば、A d r 0, 1のデータ生成個数を示すカウンタ値が予め設定された生成開始セクタの数値になったか否かの判断手段(比較回路)、及び、この生成開始セクタの数値になってから更に上記カウンタ値が生成サイクル数となったか否かを判断する判断手段(比較回路)等から成る。また、この実施の形態ではコマンドの記述が図3に示すごとくとなっているので、A d r 3サブコードQデータ生成部53が備えるアドレス生成回路の初期値は“30”となる。

#### 【0062】

A d r 5サブコードQデータ生成部54は、時間情報以外の情報を示している場合のサブコード構成データの自動生成部であり、A d rがA d r 5であるときの自動生成用データ60からサブコードQデータ67を生成する。また、生成開始セクタおよび生成サイクルの設定によりA d r 3のエンコードサブQデータ67の挿入タイミングを生成してこれをセレクター78に与える。従って、その回路構成は図2の仮想線で囲まれた部分において、カウンタ61, 63やセレクタ64, 66を持たない一方、エンコードサブQデータ67の挿入タイミングを生成する回路を持つことになる。このタイミング生成回路は、例えば、A d r 0, 1のデータ生成個数を示すカウンタ値が予め設定された生成開始セクタの数値

になったか否かの判断手段（比較回路）、及び、この生成開始セクタの数値になってから更に上記カウンタ値が生成サイクル数となったか否かを判断する判断手段（比較回路）等から成る。また、この実施の形態ではコマンドの記述が図3に示すごとくなっているため、A d r 5サブコードQデータ生成部54が備えるアドレス生成回路の初期値は“50”となる。

#### 【0063】

セレクター78は、上述の挿入タイミングの信号を得たとき、当該信号を送出したサブコードQ生成部52、53、54のいずれかからのサブコードQデータ67を選択して出力する。このようにして選択出力されるエンコードサブQデータ67は各フレーム毎にラッチされ、このラッチされたデータに対してCRC演算器69はCRC68を計算し付加する。

#### 【0064】

サブコードPトグル生成部55は、サブコードPデータの自動生成部であり、図2において一点鎖線で示しているように、Pトグル部76とセレクター77とから成る。Pトグル部76は、2Hzでトグルするデータ、即ち、1秒間にHighとLowを各々2回繰り返していく信号を生成する。セレクター77は、上記の2Hzでトグルするデータか又は、各フレーム毎のデータ、即ち各フレーム毎に生成される自動生成用データ60のSubPデータ中の7ビットデータ（PMSB）を選択する。PTGL=1（SubPに格納される8ビットデータ中の所定のビットが1）のときには、2Hzでトグルするデータが選択され、PTGL=0（SubPに格納される8ビットデータ中の所定のビットが0）のときには、SubPデータ中の7ビットデータ（PMSB）が選択される。

#### 【0065】

セレクター73には、上記のセレクター77の出力とセレクター74にて選択された出力とが入力される。セレクター73は、use PMSB=1（MODEに格納される8ビットデータ中の所定ビットが1）のとき、SubPデータ中の7ビットデータ（PMSB）をエンコードサブPデータとして出力する。一方、use PMSB=0（MODEに格納される8ビットデータ中の所定ビットが0）のとき、ページングエリア45に格納されているPの値（セレクター74



にて選択される) をエンコードサブPデータとして出力する。つまり、上記の 2 Hz でトグルするデータか、各フレーム毎のデータか、又はページングエリア 45 中のデータのいずれかが選択されることになる。

#### 【0066】

他のサブコードデータ (R~W) は、EFMエンコーダ 70 からのリクエスト (ESUBREQB) ごとにカウントされるオフセットカウンタ 71 の値により、96 バイト中からセクタ 72, 74 により選択される。選択された 1 バイトは、エンコードサブコードシリアルデータとして EFMエンコーダ 70 に出力される。

#### 【0067】

以上説明したように、上記の構成であれば、時間情報を示している場合のサブコード構成データ (Adr 0, 1) を自動生成する A d r 0, 1 サブコードQデータ生成部 51 と、時間情報以外の情報を示している場合のサブコード構成データ (A d r 2, 3, 5) を自動生成するサブコードQデータ生成部 52, 53, 54 とが個別に動作するため、A d r 0, 1 サブコードQデータ生成部 51 においては、時間情報以外の情報を示している場合のサブコード構成データの生成の有無に関わらずインクリメンタルにデータ生成を行うことができ、サブコードQデータ生成部 52, 53, 54 においては、上記のインクリメンタルなデータ生成に影響を与えずに個別にサブコード構成データを生成し、セクタ 78 によって前記生成部 52, 53, 54 の出力が所望のタイミングで自動挿入されることになるから、DRAM 59 に対するアクセス頻度を格段に少なくすることができる (図 4 (a) 参照)。

#### 【0068】

また、エンコード時に音楽データ等のサブコードPデータを 2 Hz でトグルさせることを要求される場合でも、サブコードPトグル生成部 55 を備えたことにより、セクタ数 (75 セクタで 1 秒) を管理してトグルの度にデータ設定するといった不具合 (メモリアクセス頻度の上昇) を回避できる。

#### 【0069】

また、図 3 に示したごとく、コマンドの記述領域を、A d r 0, 1 領域、A d

r 2 領域、A d r 3 領域、A d r 5 領域のごとく分けて、各領域にコマンドを集合的に記述することができるから、コマンドの記述が容易であり、D R A M 5 9 への記述を含めてサブコードデータ生成回路とみると、サブコードデータ生成回路の製造が容易であるという利点がある。

【0070】

【発明の効果】

以上説明したように、この発明によれば、時間情報を示している場合と時間情報以外の情報を示している場合とがあるサブコード構成データを含んで成るサブコードデータを生成するときでも、前記時間情報を示している場合のサブコード構成データの自動生成サイクルが途切れるのを極力回避することができ、メモリアクセス頻度を低くしてデータ処理速度を向上させることができる。また、コマンドの記述が容易であることにより、このコマンドの記述を含めてサブコードデータ生成回路とみると、サブコードデータ生成回路の製造が容易であるという利点がある。また、所定の周波数でトグルするサブコード構成データを、メモリアクセスの頻度を上昇させることなしに生成できるという効果を奏する。

【図面の簡単な説明】

【図 1】

この実施の形態のサブコードデータ生成回路の概略のブロック図である。

【図 2】

この発明のサブコード P、Q データの生成の構成を示した図である。

【図 3】

この実施の形態のコマンド記述例を示した説明図である。

【図 4】

A d r 2 の挿入タイミング例を示した説明図である。

【図 5】

先行する技術であるデータ処理回路におけるコマンド記述例を示した説明図である。

【図 6】

先行する技術であるデータ処理回路のブロック図である。

【図 7】

図 6 のデータ処理回路のバッファ RAM の構成を示す説明図である。

【図 8】

図 7 のバッファ RAM のフォーマット例を示す説明図である。

【図 9】

図 7 のバッファ RAM のページ更新制御の内容を示すフローチャートである。

【図 10】

図 6 のデータ処理回路におけるシステムコントローラインターフェースと D R A M コントローラとバッファマネージャとの関係を示すブロック図である。

【図 11】

図 6 のデータ処理回路におけるデコード時の信号フローを示す図である。

【図 12】

図 6 のデータ処理回路におけるエンコード時の信号フローを示す図である。

【図 13】

図 6 のデータ処理回路におけるサブコード P, Q データの生成の構成を示す説明図である。

【図 14】

図 7 のバッファ RAM のバッファリングエリア構成を示す説明図である。

【図 15】

図 6 のデータ処理回路において生成されたサブコード P, Q データと他のサブコード構成データとを合わせる様子を示した説明図である。

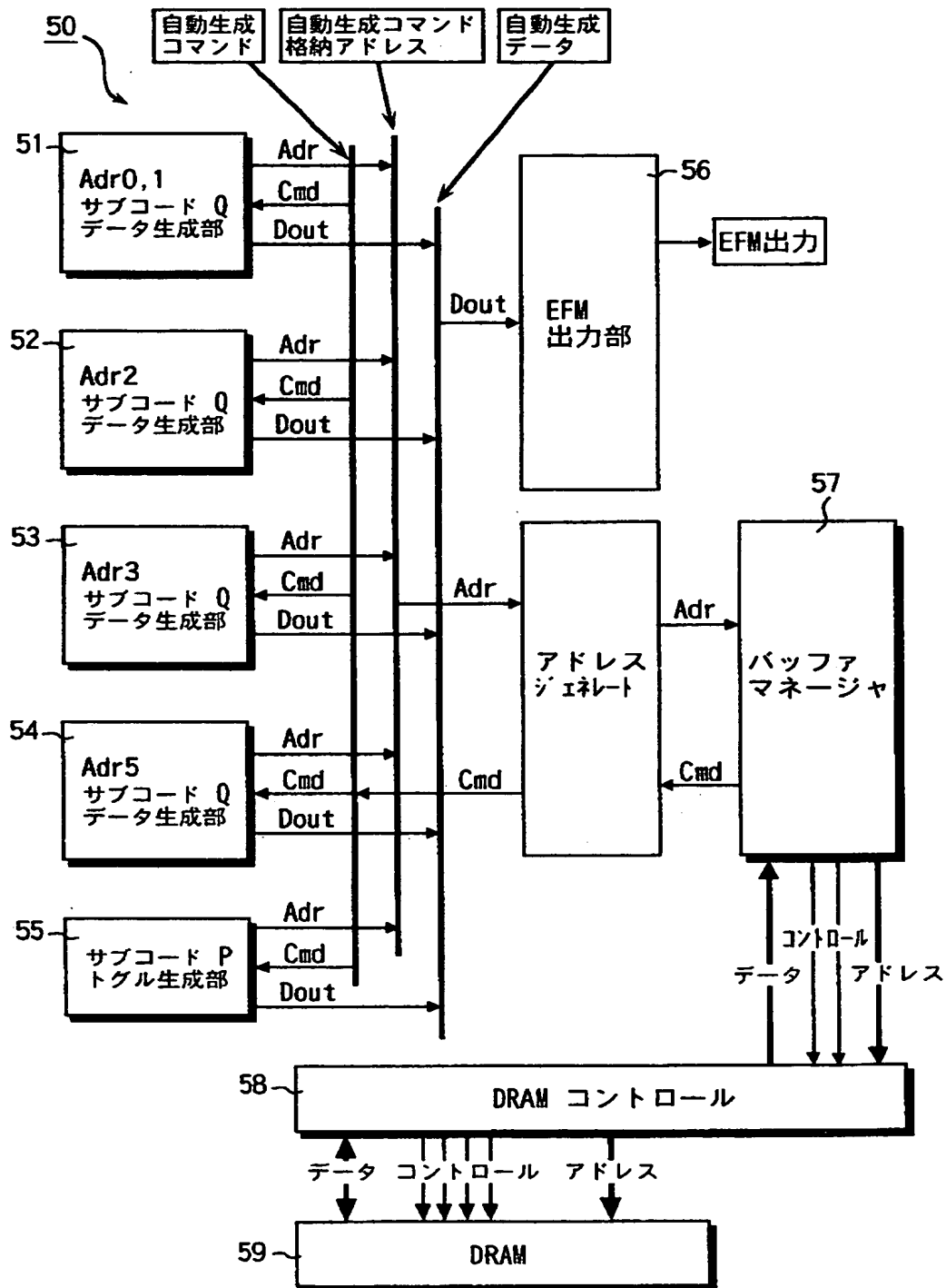
【符号の説明】

- 50     サブコード構成データ生成回路群
- 51     A d r 0, 1 サブコード Q データ生成部
- 52     A d r 2 サブコード Q データ生成部
- 53     A d r 3 サブコード Q データ生成部
- 54     A d r 5 サブコード Q データ生成部
- 55     サブコード P トグル生成部
- 56     E F M 出力部

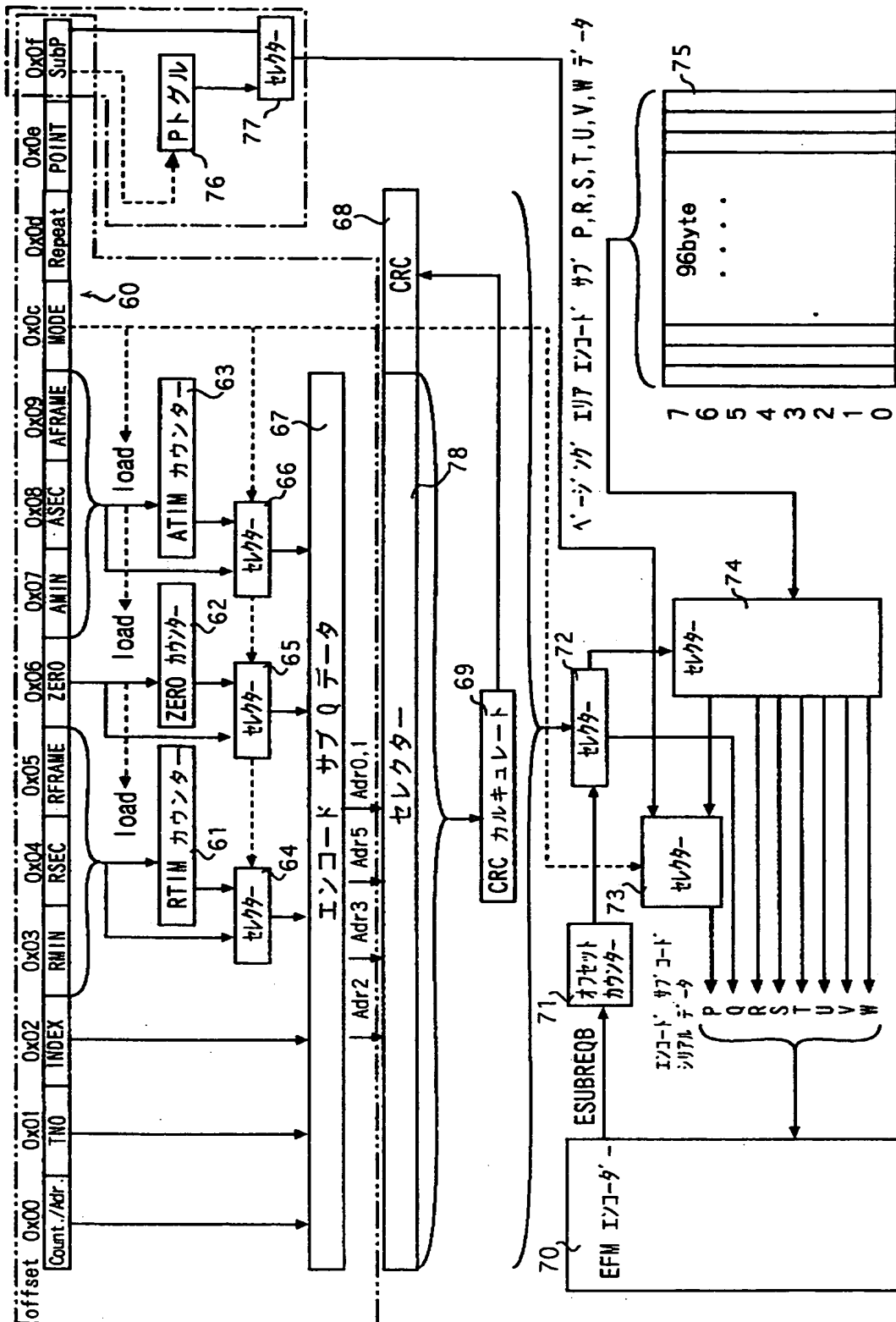
- 57 バッファマネージャ
- 58 DRAMコントローラ
- 59 DRAM
- 60 自動生成用データ
- 61 RTIMカウンタ
- 62 ZEROカウンタ
- 63 ATIMカウンタ
- 64 セレクター
- 65 セレクター
- 66 セレクター
- 67 エンコードサブQデータ
- 71 オフセットカウンタ
- 72 セレクター
- 73 セレクター
- 74 セレクター
- 76 Pトグル部
- 77 セレクター

【書類名】 図面

【図 1】



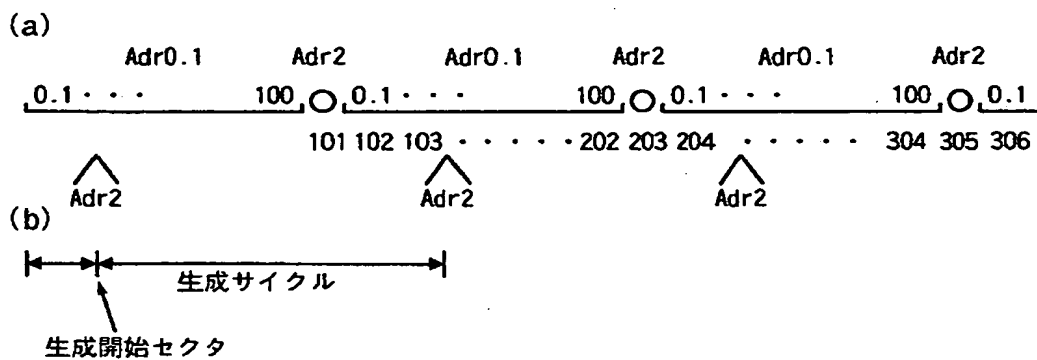
【図 2】



【図 3】

		REPEAT	POINT	
0	Adr0.1	300	1	↓ Adr0.1領域
1	Adr0.1	400	2	
2	Adr0.1	600	3	
10	Adr2	1	11	↓ Adr2領域
11	Adr2	1	12	
12	Adr2	1	13	
30	Adr3	1		Adr3領域
50	Adr5			Adr5領域

【図 4】




【図 5】

(a)

		REPEAT	POINT
0	Adr0.1	100	1
1	Adr2	1	2
2	Adr0.1	100	3
3	Adr2	1	4
4	Adr0.1	100	5

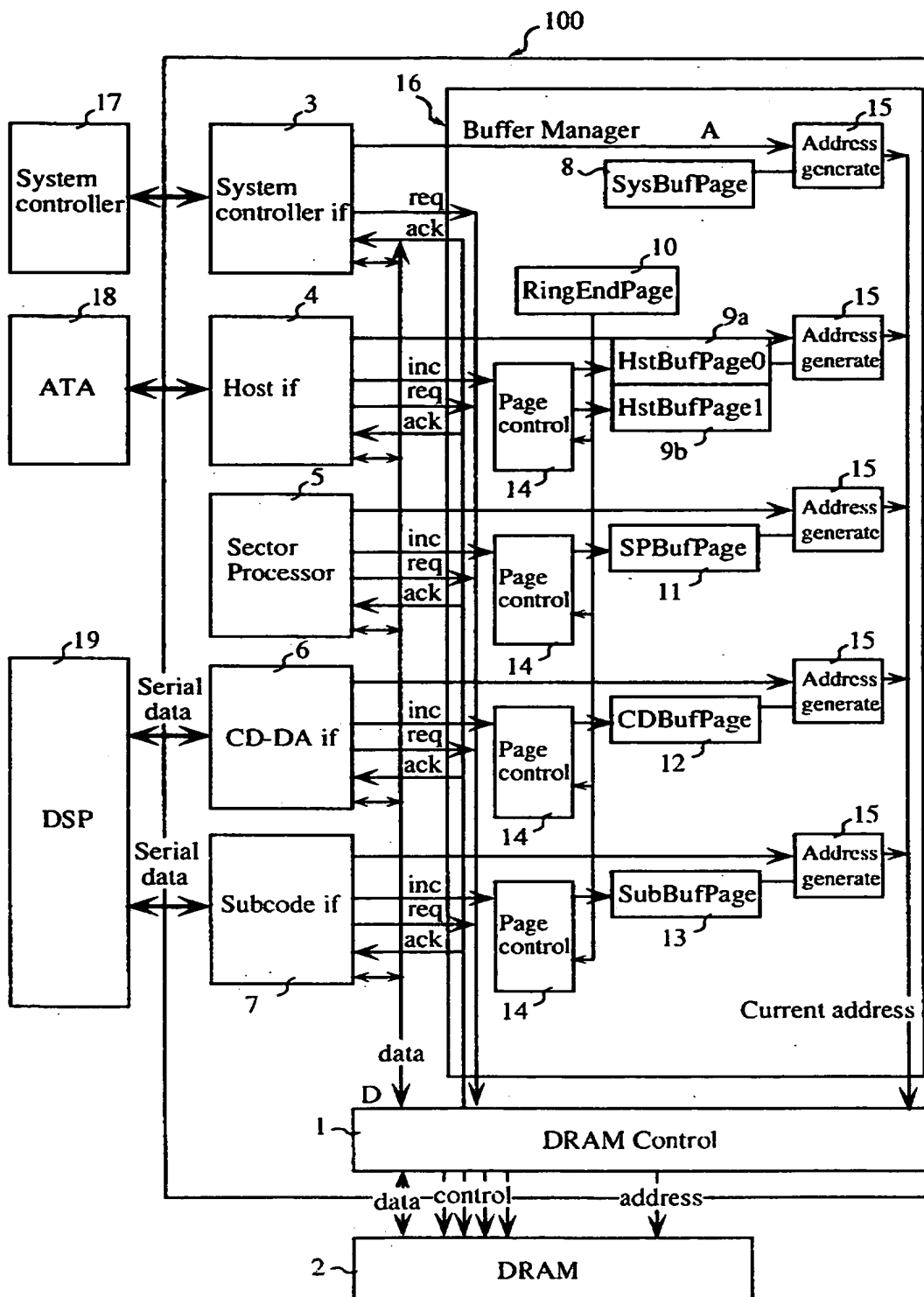
(b)

		REPEAT	POINT
0	Adr0.1	100	10
1	Adr0.1	100	11
2	Adr0.1	100	
	...		
10	Adr2	1	1
11	Adr2	1	2

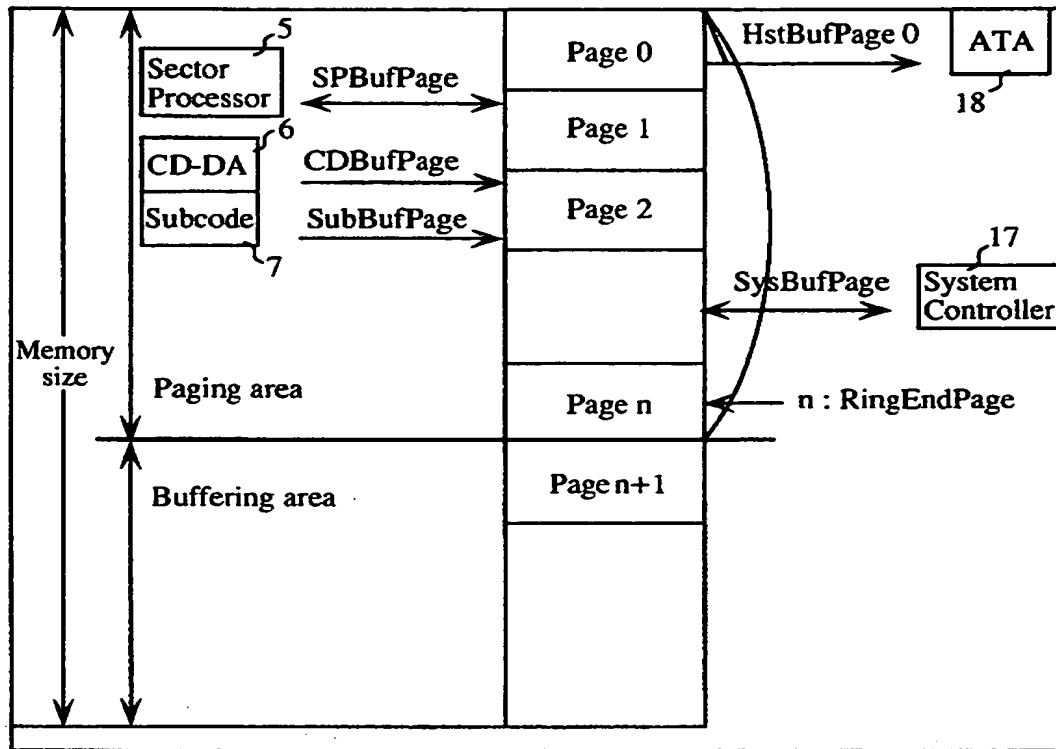




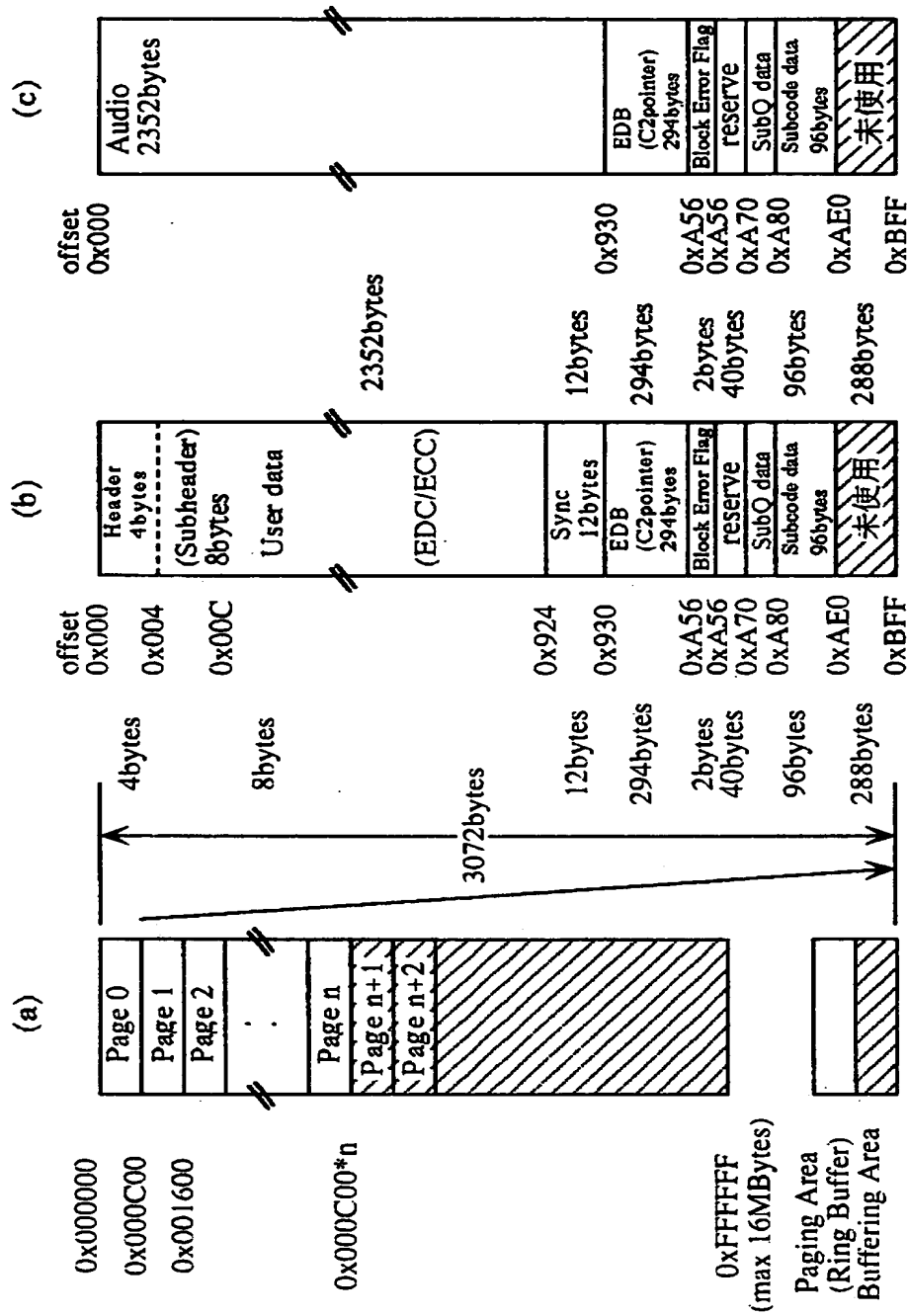
【図 6】



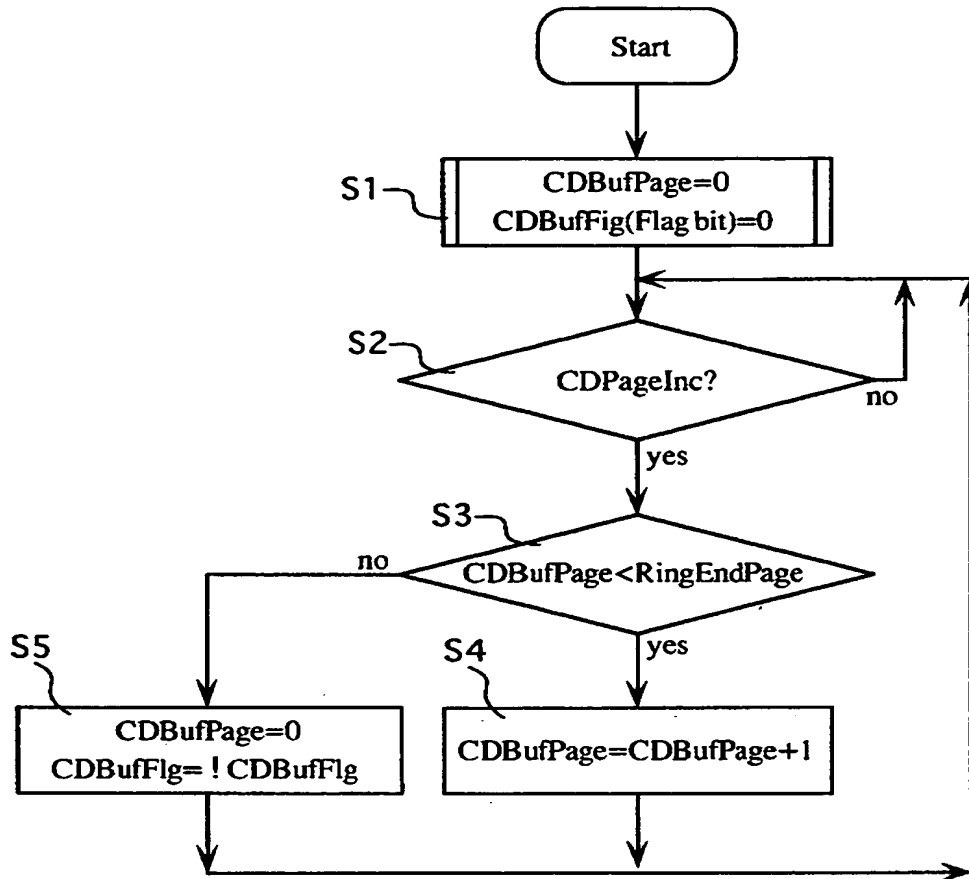
【図 7】



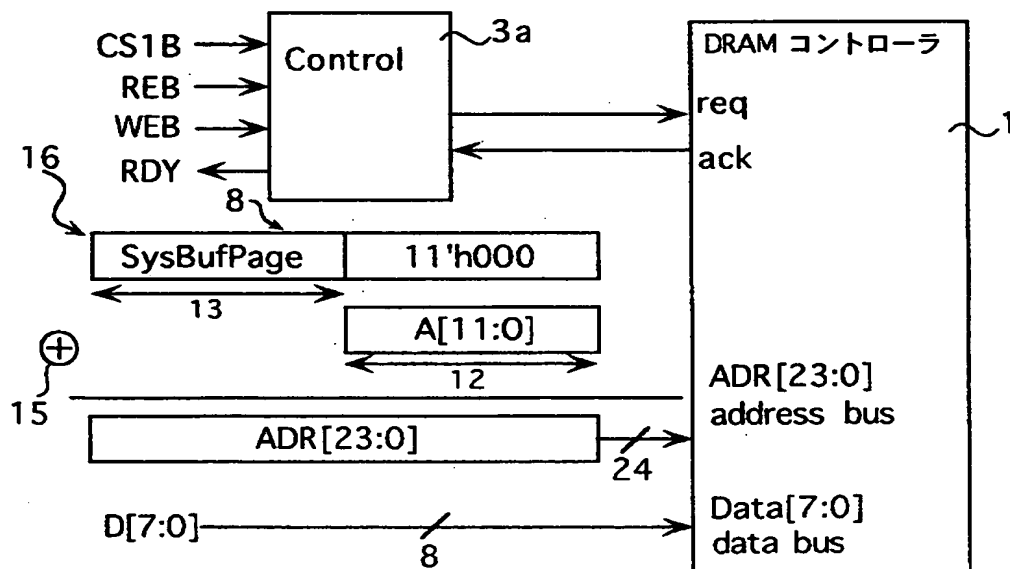
【図 8】



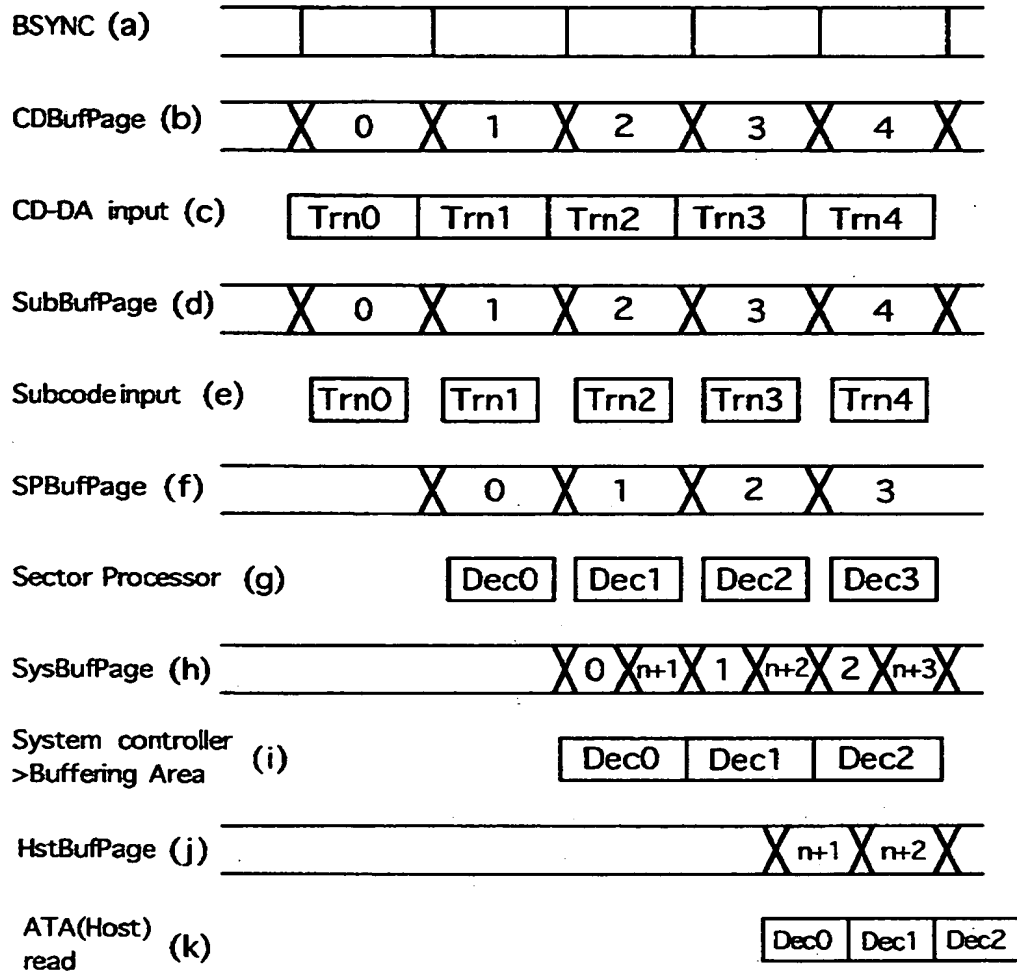
【図 9】



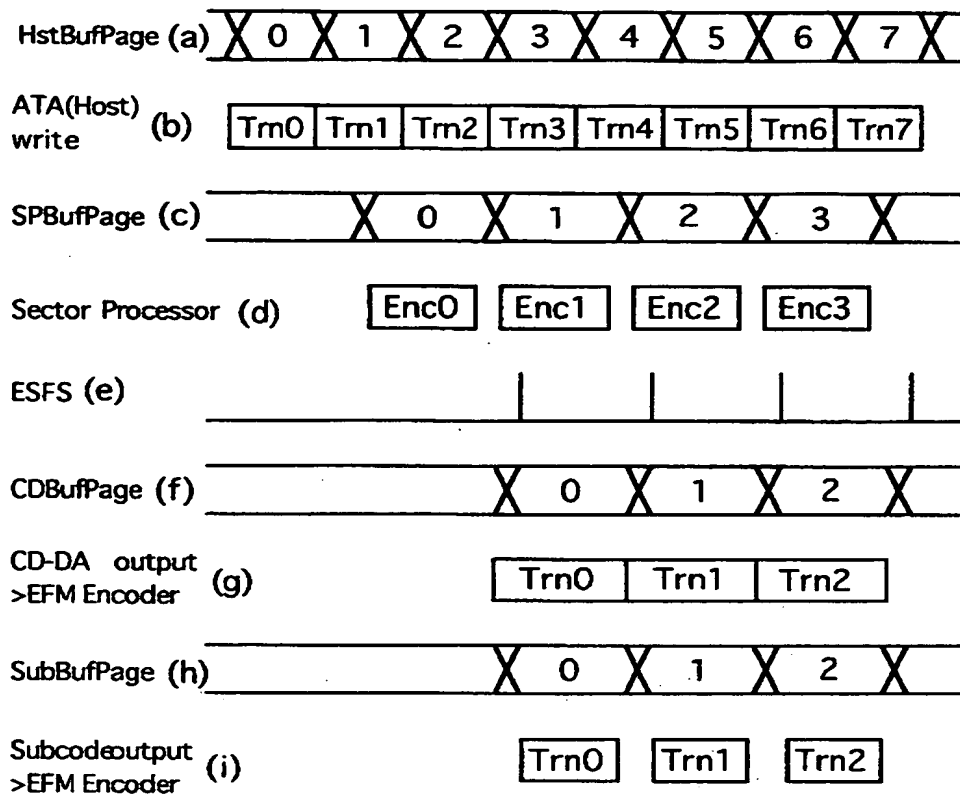
【図 10】



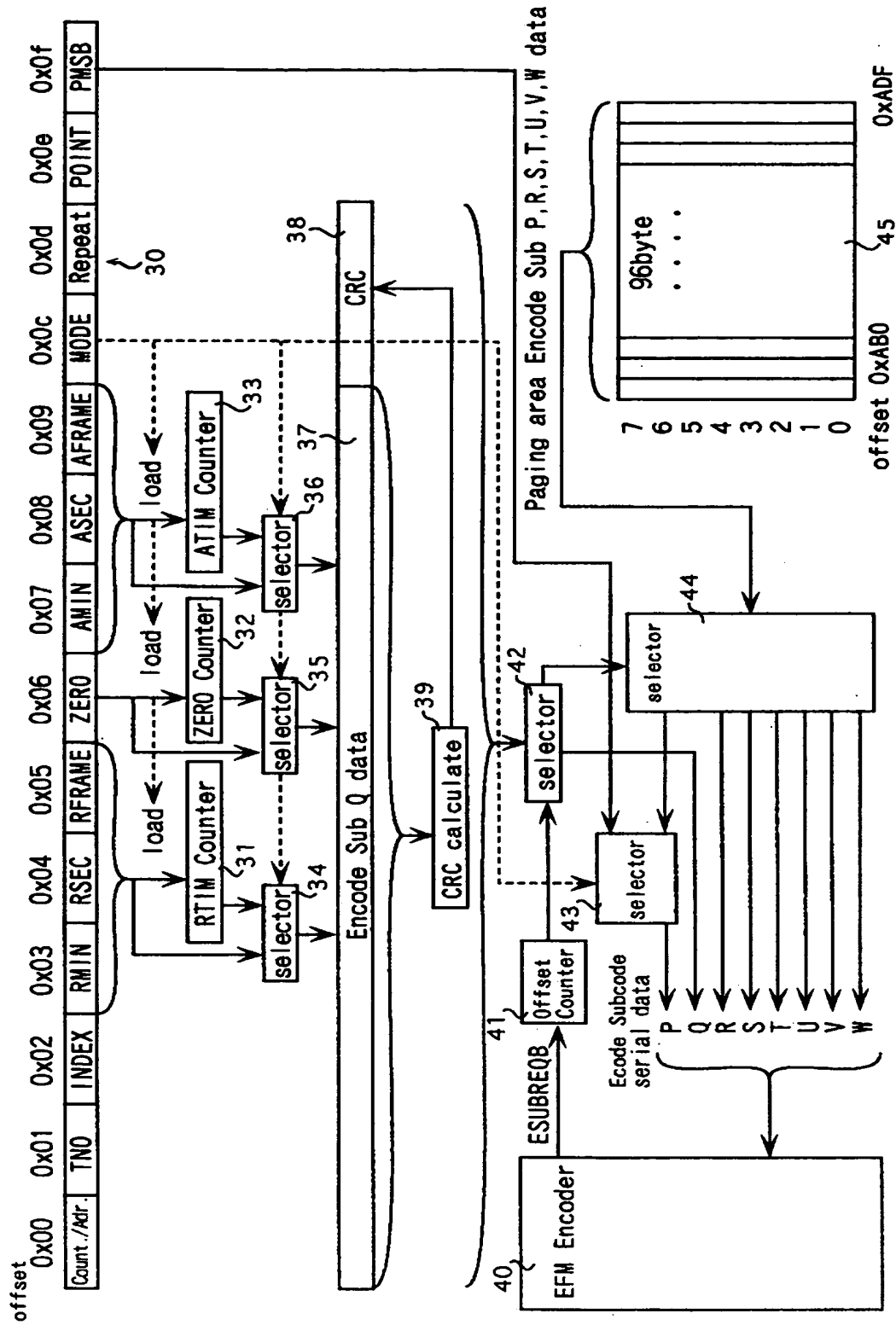
【図 1 1】



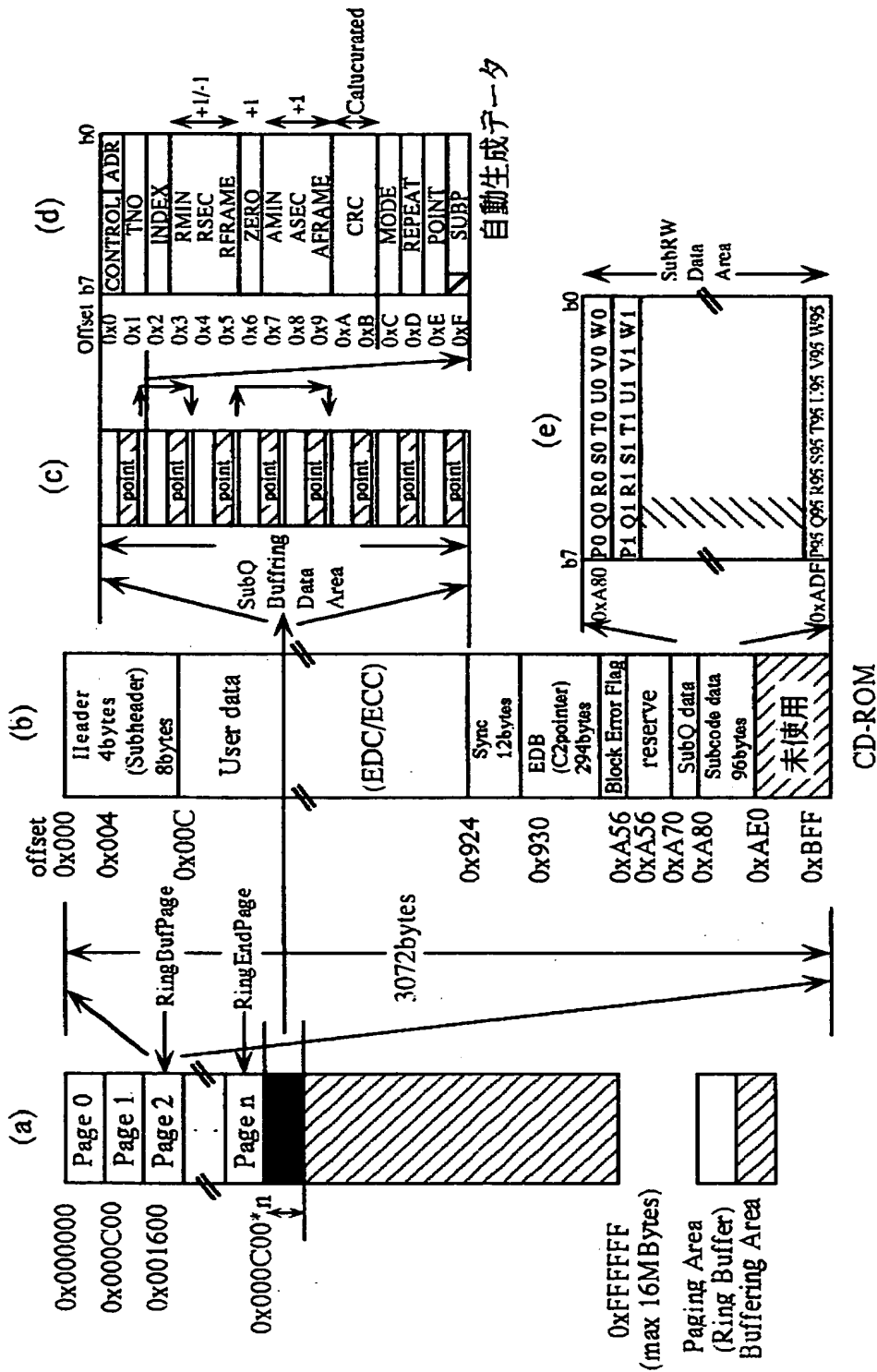
【図 1 2】



【図 13】

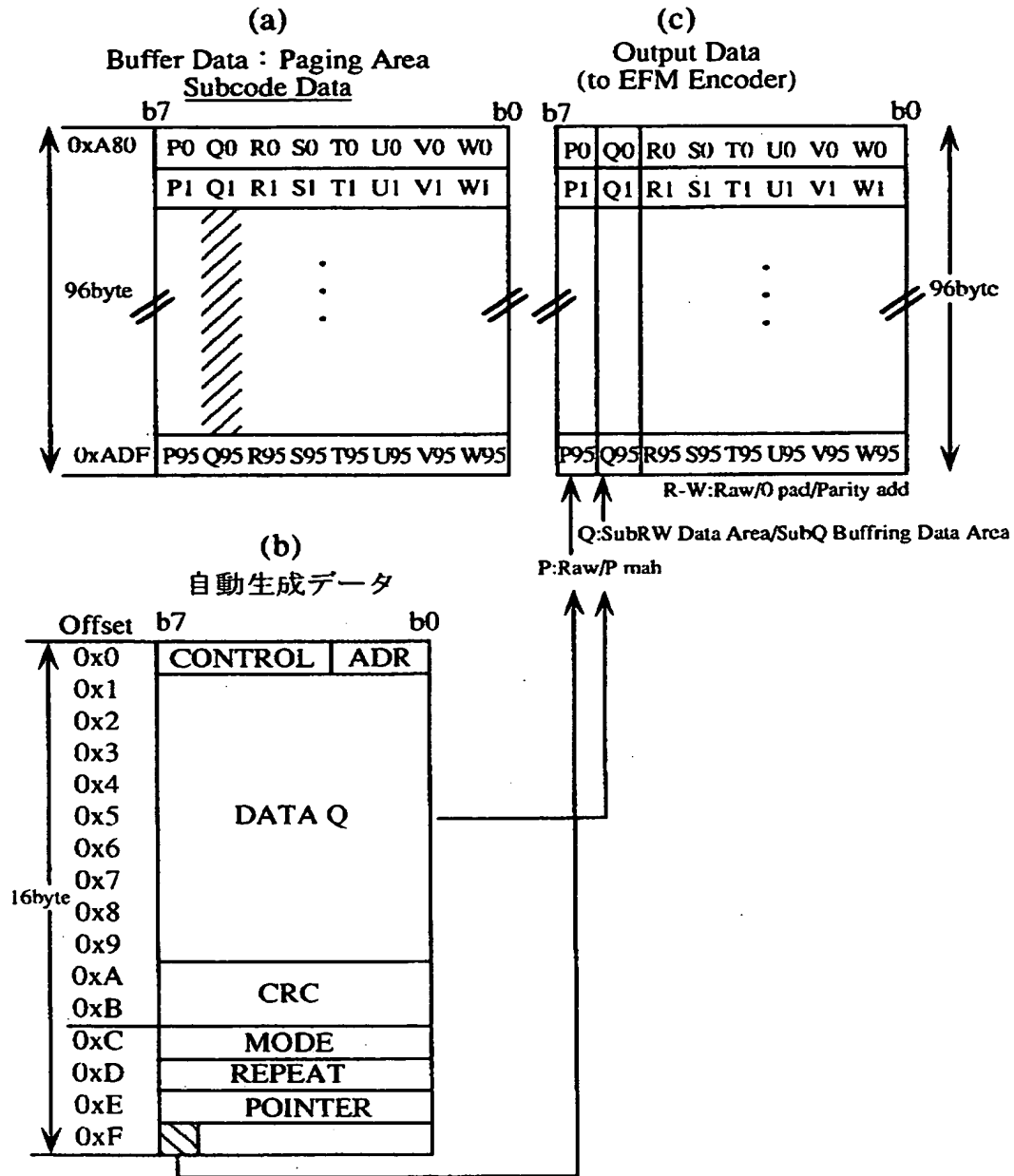


【図 14】





【図 15】



【書類名】 要約書

【要約】

【課題】 CD-R等のエンコード時における時間情報の生成サイクルの中で時間情報以外の情報をその各々のタイミングで生成（挿入）することにおいて、時間情報の生成サイクルを途切れさせないようにしてメモリアクセスの一層の削減を図る。

【解決手段】 時間情報であるAdr 0, 1サブコードQデータの自動生成用の生成部51と、時間情報以外の情報であるAdr 2, 3, 5サブコードQデータの自動生成用の生成部52, 53, 54とを備えて個別に動作させ、前記生成部51における生成サイクルを維持しつつ所定のタイミングで前記生成部52, 53, 54で生成されたデータを挿入するように構成した。

【選択図】 図1

【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】  
【識別番号】 000006747  
【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号  
【氏名又は名称】 株式会社リコー  
【代理人】 申請人  
【識別番号】 100085213  
【住所又は居所】 大阪市北区豊崎 3 丁目 2 0 番 1 0 号 新明大ビル  
鳥居特許事務所  
【氏名又は名称】 鳥居 洋

出 願 人 履 歴 情 報

識別番号 [000006747]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都大田区中馬込1丁目3番6号
氏 名	株式会社リコー